

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003 年 12 月 24 日 (24.12.2003)

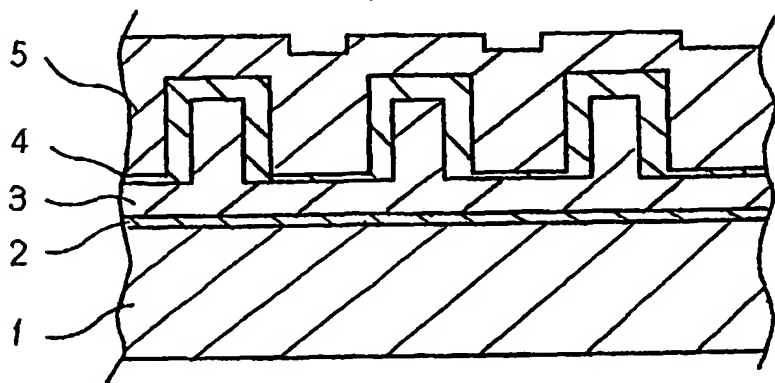
PCT

(10) 国際公開番号
WO 03/107445 A1

- (51) 国際特許分類⁷: H01L 37/04, 21/822, 23/12, 23/50 芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).
遠矢 弘和 (TOHYA, Hirokazu) [JP/JP]; 〒108-8001 東京都 港区 芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP03/07397
- (22) 国際出願日: 2003 年 6 月 11 日 (11.06.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2002-170840 2002 年 6 月 12 日 (12.06.2002) JP
- (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒108-8001 東京都 港区 芝五丁目 7 番 1 号 Tokyo (JP).
- (74) 代理人: 宮崎 昭夫, 外 (MIYAZAKI, Teruo et al.); 〒107-0052 東京都 港区 赤坂 1 丁目 9 番 2 0 号 第 1 6 興和ビル 8 階 Tokyo (JP).
- (81) 指定国 (国内): CN, KR, US.
- (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).
- 添付公開書類:
— 国際調査報告書
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 中野 隆 (NAKANO, Takashi) [JP/JP]; 〒108-8001 東京都 港区
- 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SEMICONDUCTOR DEVICE, SEMICONDUCTOR CIRCUIT AND METHOD FOR PRODUCING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置、半導体回路及び半導体装置の製造方法



(57) Abstract: A semiconductor device in which a line element having a ground line and a power line sandwiching an insulation film is mounted on a semiconductor chip, a lead, or the power line on a printed wiring board, and the power line including the line element is provided with a decoupling performance by increasing the capacitance per unit length thereby setting an optimal characteristic impedance in the high frequency region of the line element.

(57) 要約: 半導体チップ、リード、あるいはプリント基板上の電源配線に、絶縁膜を間に挟んで接地配線及び電源配線が形成された線路素子を実装し、

該線路素子の高周波領域における特性インピーダンスを、単位長あたりのキャパシタンスを増大させて最適な値に設定することで、線路素子を含む電源配線にデカップリング性能を持たせる。

WO 03/107445 A1

明細書

半導体装置、半導体回路及び半導体装置の製造方法

技術分野

本発明は、半導体装置及び半導体回路に関し、特に電源配線を通して漏洩する高周波ノイズを低減するためのデカップリング回路を備えた半導体装置及び半導体回路に関する。

背景技術

デジタル回路では半導体素子のスイッチング動作に伴って発生する高周波ノイズが電磁干渉の原因となる。この高周波ノイズは、主にクロックの周波数を基本波とする高次の高調波を含んでいる。例えば、LSI (Large Scale Integration) 内のスイッチング動作する素子（以下、スイッチング素子と称す）で発生した高周波ノイズの一部はLSI内の電源配線を伝搬し、パッケージを経てLSIが搭載されたプリント基板の電源配線等に漏洩する。

電源配線を伝搬する高周波ノイズは、その伝搬過程で、LSI内、パッケージ及びプリント基板上の信号配線等と誘導結合することで信号配線を伝搬する信号に重畳し、信号電圧を歪ませる。また、スイッチング素子から見た電源配線のサージインピーダンスが大きい場合は、高周波ノイズの発生に伴って電磁波が発生し、該電磁波が信号ケーブルや機器から放射される。

このような問題を低減するためには、発生する高周波ノイズの周波数に対応したデカップリング回路を、最も効果的な場所に配置することが有効である。

従来のデカップリング回路は、例えば、特開平10-270643号公報に記載されているように、回路を構成するトランジスタ、抵抗、コンデンサ等の素子の寸法が、回路の動作周波数に対応する信号波長に対して十分に短いため、集中定数であるコンデンサを電源配線と接地電位配線間に挿入していた。

また、従来のデカップリング回路として、特開2001-168223号公報には接地リングと電源リング間のデカップリング容量を増大させる技術が記載され、特開

平6-216309号公報にはデカップリングコンデンサを半導体装置のリードフレーム上に設ける技術が記載されている。なお、これらの技術は、同一平面上に設けられた電源配線と接地電位配線間に挿入されるデカップリングコンデンサに関するものであり、電源配線と接地電位配線とが異なる層に形成される、後述する本願発明のデカップリング回路とは構成が全く異なっている。

デカップリング回路としてコンデンサを用いる構成では、高周波領域のノイズに対して、接続端子に直列に存在するインダクタンス成分を考慮する必要がある。すなわち、コンデンサは、キャパシタンス成分とインダクタンス成分とを備え、キャパシタンスとインダクタンスの直列共振周波数よりも低い周波数ではキャパシタンス特性を示し、直列共振周波数以上ではインダクタンス特性を示す。したがって、コンデンサをデカップリング回路として使用すると、周波数が高くなるほどインピーダンスが増加してデカップリング性能が劣化してしまう。

この対策として、LSI内、パッケージ近傍、あるいはプリント基板内に、多数のコンデンサを分散して配置する方法がある。しかしながら、このような方法でもコンデンサと電源配線とを接続する端子や線路のインダクタンスを無視できず、コンデンサを数百MHz以上の周波数でデカップリング回路として作用させることが困難であった。

近年のデジタル回路は、動作周波数が数GHz程度にまで高速化されているため、デカップリング回路は、数百MHz以上、望ましくは数十GHz以上の周波数まで低インピーダンスを維持できることが、電磁干渉の抑制や信号品質の向上のために重要である。そのため、従来のコンデンサとは異なる、高周波領域で低インピーダンスを維持できる回路素子または素子構造の開発が必要である。

本発明の目的は、近年のデジタル回路の動作周波数である、数百MHz以上、望ましくは数十GHz以上の周波数まで低インピーダンスを維持できるデカップリング回路を備えた半導体装置及び半導体回路を提供することにある。

発明の開示

上記目的を達成するため本発明では、半導体チップ、リード、あるいはプリント基板上の電源配線に、接地配線と電源配線とが絶縁膜を間に挟んで形成された線路素子

を実装し、該線路素子の高周波領域における特性インピーダンスを、単位長あたりのキャパシタンスを増大させて最適な値に設定することで、線路素子を含む電源配線にデカップリング性能を持たせる。このような構成では、従来よりも高周波領域まで良好なデカップリング性能を有するデカップリング回路が得られるため、スイッチング素子から電源配線を介して直流電源へ伝搬する高周波ノイズの発生が抑制され、電磁干渉が低減すると共にスイッチング素子で発生した高周波ノイズに起因する信号波形の歪みが低減される。

図面の簡単な説明

- 第1図は、本発明の半導体装置の最良の形態の構成を示す回路図であり、
第2図は、第1図に示した線路素子の等価回路を示す回路図であり、
第3図は、第2図に示した線路素子の等価回路を並列アドミッタンス Y_c に置き換えた回路図であり、
第4図は、線路素子の特性インピーダンスと散乱行列 $[S]$ の要素 S_{21} の値との関係を示すグラフであり、
第5図は、半導体装置に形成される配線の典型的な構成を示す断面図であり、
第6図は、本発明の半導体装置の第1実施例の構成を示す側断面図であり、
第7図は、第1実施例の半導体装置の製造方法を示すフローチャートであり、
第8図は、本発明の半導体装置の第2実施例の構成を示す側断面図であり、
第9図は、第2実施例の半導体装置の第1の製造方法を示すフローチャートであり、
第10図は、第2実施例の半導体装置の第2の製造方法を示すフローチャートであり、
第11図は、本発明の半導体装置の第3実施例の構成を示す、ポリシリコン及び絶縁膜の斜視図であり、
第12図は、本発明の半導体装置の第3実施例の構成を示す、配線の斜視図であり、
第13図は、第11図に示した半導体装置のX-X'線断面図であり、
第14図は、第11図に示した半導体装置のY-Y'線断面図であり、
第15図は第3実施例の半導体装置の製造方法を示すフローチャートであり、
第16図は、本発明の半導体装置の第4実施例の構成を示す、ポリシリコン及び絶

縁膜の斜視図であり、

第 17 図は、本発明の半導体装置の第 4 実施例の構成を示す、配線の斜視図であり、
第 18 図は、第 16 図に示した半導体装置の X-X' 線断面図であり、
第 19 図は、第 16 図に示した半導体装置の Y-Y' 線断面図であり、
第 20 図は、第 4 実施例の半導体装置の製造方法を示すフローチャートであり、
第 21 図は、半導体装置のパッケージの一構成例を示す平面図であり、
第 22 図は、本発明の半導体装置の第 5 実施例の構成を示す要部拡大図であり、
第 23 図は、第 22 図に示した半導体装置の Y-Y' 線断面図であり、
第 24 図は、第 5 実施例の半導体装置の製造方法を示すフローチャートであり、
第 25 図は、本発明の半導体装置の第 6 実施例の構成を示す要部拡大図であり、
第 26 図は、第 25 図に示した半導体装置の Y-Y' 線断面図であり、
第 27 図は、第 6 実施例の半導体装置の製造方法を示すフローチャートである。

発明を実施するための最良の形態

次に本発明について図面を参照しながら説明する。

第 1 図は本発明の半導体装置の最良の形態の構成を示す回路図であり、第 2 図は第 1 図に示した線路素子の等価回路を示す回路図である。

第 1 図に示すように、本発明の半導体装置は、直流電源 18 からスイッチング素子（例えば CMOS（Complementary Metal Oxide Semiconductor）インバータ）19 に電源電流を供給するための電源配線と接地電位配線間に、キャパシタンス特性を有する線路素子 17 が挿入された構成である。線路素子 17 は、スイッチング素子 19 で発生した高周波電流をそのごく近傍で流すように、スイッチング素子 19 に対して可能な限り近い位置に配置される。なお、図 1 では電源配線と接地電位配線とが線路素子 17 で直接接続される様子を示しているが、実際の線路素子 17 は、そのキャパシタンスによって電源配線と接地電位配線間に高周波電流のみを流すものであり、直流電流や比較的低い周波数の信号電流を流すものではない。

第 2 図に示すように、線路素子 17 の特性インピーダンス Z_c は、直流電源 18 とスイッチング素子 19 間に直列に挿入されるインピーダンス成分 Z_z と、直流電源 18 に対して並列に挿入されるインピーダンス成分 Z_y とを用いて表すことができる。

なお、スイッチング素子 19 のサージインピーダンス Z_s は未知とする。また、電源配線の特性インピーダンス Z_0 は、直流電源 18 とスイッチング素子 19 間に直列に存在するインダクタンス L に依存し、その値はデカップリング対象となる周波数領域において数十から数百 Ω 程度とする。

第 3 図は第 2 図に示した線路素子の等価回路を並列アドミッタンス Y_c に置き換えた回路図である。なお、第 3 図は、第 2 図に示した直流電源 18 とスイッチング素子 19 間に直列に接続されるインピーダンス Z_z を無視することで回路構成を簡略化した図である。

第 3 図に示す回路の伝送特性は、下記式 (1) で示す散乱行列 $[S]$ で表される。

$$[S] = \frac{1}{Y_c' + 2} \begin{bmatrix} -Y_c' & 2 \\ 2 & -Y_c' \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \dots\dots(1)$$

但し、 $Y_c' = Y_c / Y_0$ 、 $Y_0 = 1 / Z_0$ 、 $Y_c = 1 / Z_c$ である。

第 3 図の信号入力端（図の左側＝スイッチング素子側）から見た回路の反射係数 Γ 及び透過係数 T は、上記散乱行列 $[S]$ の要素 S_{11} 、 S_{21} で表すことが可能であり、

$$\Gamma = S_{11} = \frac{-Y_c'}{Y_c' + 2} = \frac{-1}{2(Z_c/Z_0) + 1} \dots\dots(2)$$

$$T = S_{21} = \frac{2}{Y_c' + 2} = \frac{2(Z_c/Z_0)}{2(Z_c/Z_0) + 1} \dots\dots(3)$$

となる。ここで、（電源配線のインピーダンス Z_0 ） \gg （線路素子のインピーダンス Z_c ）ならば、反射係数 $\Gamma = -1$ 、透過係数 $T = 0$ となり、スイッチング素子 19 で発生した高周波電流が電源配線を伝搬して直流電源 18 に流れ込むことはない。

本発明では、半導体チップ、リード、あるいはプリント基板上の電源配線に線路素子を形成し、該線路素子の高周波領域における特性インピーダンスを、単位長あたりのキャパシタンスを増大させて最適な値に設定することで、線路素子を含む電源配線にデカップリング性能を持たせる。

線路素子は、例えば、接地電位となる基板（ポリシリコンや金属等の導体）と電源

電流が流れる配線とを絶縁膜を挟んで異なる層に配置することで形成される。このような線路素子の単位長あたりのキャパシタンスを増大させる方法としては、

- 1、配線と接地電位間に設ける絶縁膜の厚さを薄くする。
- 2、絶縁膜として誘電率の高い材料を用いる。
- 3、配線を凹凸状に形成する、あるいは配線の表面に凹凸部を形成することで表面積を増やす。

等が考えられる。これら3つの方法は組み合わせることも可能である。

線路素子17の実効線路長は、デカップリング対象の周波数範囲における最も低い周波数（以下、デカップリング最低周波数と称す）の波長の $1/4$ （ $\lambda/4/\sqrt{\epsilon}$ ）よりも長く設定する。このようにすると線路素子17の特性インピーダンスは、デカップリング対象の周波数範囲において周波数に関係なく $\sqrt{L/C}$ で表すことができる。ここで、 λ は最低周波数の波長、 ϵ は絶縁膜の比誘電率、 L は線路素子17の単位長あたりのインダクタンス、 C は線路素子17の単位長あたりのキャパシタンスである。

なお、デカップリング性能を広帯域で有効とするためには、線路素子17の実効線路長を長くする必要がある。しかしながら、半導体装置の小型化、高密度化の観点から線路のレイアウト面積はできるだけ増大させないことが望ましい。そこで、本発明では線路素子17を、接地配線と電源配線との距離を一定に保ちつつ凹凸状に形成する、あるいは線路素子の表面に凹凸部を形成することで、線路のレイアウト面積を増大させることなく配線幅や配線長を増大させる。

また、本発明では線路素子を半導体チップ上に実装する。その場合、線路素子は、半導体チップ上のスイッチング素子で発生する高周波信号のうち、最も高い周波数でもキャパシタンス特性を備えるものとする。

または、本発明では線路素子を半導体装置のリードに実装する。その場合、線路素子は、半導体チップ上に実装する線路素子よりもやや低い周波数領域でキャパシタンス特性を備えるものとする。

または、本発明では線路素子をプリント基板上に配置する。その場合、線路素子は、半導体装置のリードに実装する線路素子よりもやや低い周波数領域でキャパシタンス特性を備えるものとする。

本発明の半導体回路は、デカップリング性能が要求される周波数の広帯域化、及び半導体装置の高密度化を実現するために、これら有効帯域が異なる複数の線路素子を、半導体装置のチップやリード、あるいはプリント基板等の複数個所に分散して実装する。このとき、直流電源の電圧変動が5%以下となるように各線路素子の特性インピーダンスを設定することが好ましい。

なお、線路素子に対する入射波を外部に漏洩させないためには、絶縁膜にある程度の損失を持たせる必要がある。この絶縁膜の誘電損失は、線路素子に入射される電磁波が熱消費される程度に大きいことが好ましい。

本発明は、デカップリング回路として、上記構造の線路素子を採用することで、従来よりも高周波領域まで良好なデカップリング性能を有するデカップリング回路が得られるため、スイッチング素子から電源配線を介して直流電源へ伝搬する高周波ノイズの発生が抑制され、電磁干渉が低減すると共にスイッチング素子で発生した高周波ノイズに起因する信号波形の歪みが低減される。

(実施例)

次に本発明の実施例について図面を参照して説明する。

まず、線路素子の特性インピーダンスと散乱行列[S]の要素 S_{21} (=透過係数T)との関係について説明する。

第4図は線路素子の特性インピーダンスと散乱行列[S]の要素 S_{21} の値との関係を示すグラフである。なお、第4図は電源配線の特性インピーダンス Z_0 が 50Ω と 200Ω の例をそれぞれ示している。

一般に、電源配線の特性インピーダンス Z_0 の値は、プリント基板上に形成されるか半導体装置のチップ上に形成されるかによって異なるが、 50Ω から 200Ω 程度に設定される。また、現状のデジタル回路においては、デカップリング性能として S_{21} の値が -40 dB 以下であることが要求される。

第4図に示すように、条件が厳しい電源配線の特性インピーダンス $Z_0 = 50\Omega$ の場合、 S_{21} が -40 dB 以下となるためには線路素子の特性インピーダンス Z_c を 0.3Ω 以下にする必要がある。

第5図は半導体装置に形成される配線の典型的な構成を示す断面図である。

第5図に示すように、半導体装置内に形成される線路は、グランド基板20上に絶

縁膜（酸化膜）21が形成され、絶縁膜21上に配線22が形成された構成である。配線22は、例えば、アルミニウムを用いて、配線長が1mm、幅が50 μ m程度で形成される。また、絶縁膜21は、例えば、比誘電率が約4のSiO₂を用いて5000Å程度の膜厚で形成される。グラウンド基板20は、例えば不純物が高濃度にドーブされて低抵抗化されたポリシリコンで形成される。このようなグラウンド基板20、絶縁膜21及び配線22で形成される線路の特性インピーダンスZ_cは50 Ω 程度である。

したがって、線路素子の特性インピーダンスZ_cを0.3 Ω 以下にするためには、第5図に示す構成例に対して特性インピーダンスを約1/170に低減し、単位長あたりのキャパシタンスを約3万倍に増大させる必要がある。

以下、本発明の実施例について説明する。

（第1実施例）

まず、本発明の半導体装置の第1実施例について説明する。

第6図は本発明の半導体装置の第1実施例の構成を示す側断面図である。

第6図に示すように、第1実施例の半導体装置は、シリコン基板1と、シリコン基板1上に設けられたシリコン酸化膜2と、シリコン酸化膜2上に設けられた、不純物が高濃度にドーブされたポリシリコン3と、ポリシリコン3上に設けられた、例えばLaAlO₃膜から成る高誘電率の絶縁膜4と、絶縁膜4上に設けられた、例えばアルミニウムから成る配線5とを有する構成である。

なお、第6図において、配線5にて伝送される信号の伝送方向は紙面に対して垂直方向とする。

第1実施例の線路素子は、絶縁膜4を、膜厚が10Å程度、比誘電率が約24のLaAlO₃膜で形成し、ポリシリコン3、絶縁膜4及び配線5を凹凸状に形成することで、第5図に示した一般的な構成例に対して線路のレイアウト面積を変えずに配線幅を約10倍に増大させ、単位長あたりのキャパシタンスを約30000倍に増大させている。なお、ポリシリコン3と配線5間の距離は、一定に保つことで絶縁膜4の厚さが一定に保たれている。

次に、第1実施例の半導体装置の製造方法について説明する。

第7図は第1実施例の半導体装置の製造方法を示すフローチャートである。

第7図に示すように、第1実施例では、まずシリコン基板1上にシリコン酸化膜2を形成し（ステップS1）、シリコン酸化膜2上にポリシリコン3を形成し、リン等の不純物を注入して該ポリシリコン3を金属と同程度に低抵抗化させる（ステップS2）。

次に、ポリシリコン3を周知のフォトリソグラフィ技術を用いてパターンニングし、凹凸状に形成する（ステップS3）。続いて、ポリシリコン3上に LaAlO_3 膜から成る絶縁膜4を10 Å程度の厚さで形成し（ステップS4）、最後に、絶縁膜4上にアルミニウムから成る配線5を形成する（ステップS5）。

（第2実施例）

第8図は本発明の半導体装置の第2実施例の構成を示す側断面図である。

第8図に示すように、第2実施例の半導体装置は、第1実施例の半導体装置と同様に、シリコン基板1と、シリコン基板1上に設けられたシリコン酸化膜2と、不純物が高濃度にドーピングされたポリシリコン3と、ポリシリコン3上に設けられた、例えば SrTiO_3 膜から成る高誘電率の絶縁膜4と、絶縁膜4上に設けられた、例えばアルミニウムから成る配線5とを有する構成である。

第2実施例の線路素子は、絶縁膜4を、膜厚が10 Å程度、比誘電率が約16の SrTiO_3 膜で形成し、ポリシリコン3、絶縁膜4及び配線5を凹凸状に形成し、さらにその表面に凸部または凹部を形成することで、第5図に示した一般的な配線例に対して線路のレイアウト面積を変えずに配線幅を約10倍に増大させ、単位長あたりのキャパシタンスを約40000倍に増大させている。

次に、第2実施例の半導体装置の製造方法について説明する。

第2実施例の半導体装置は2つの製造方法が考えられる。まず、第1の製造方法について第9図を用いて説明する。

第9図は第2実施例の半導体装置の第1の製造方法を示すフローチャートである。

第9図に示すように、第1の製造方法では、まずシリコン基板1上にシリコン酸化膜2を形成し（ステップS11）、シリコン酸化膜2上にポリシリコン3を形成し、リン等の不純物を注入して該ポリシリコン3を金属と同程度に低抵抗化させる（ステップS12）。

次に、ポリシリコン3を周知のフォトリソグラフィ技術を用いてパターンニングし、

凹凸状に形成する（ステップS 1 3）。続いて、ウェットエッチング液を噴霧する等の方法によりポリシリコン3の表面にさらに凹部を形成する（ステップS 1 4）。

次に、ポリシリコン3上にS r T i O₃膜から成る絶縁膜4を形成し（ステップS 1 5）、最後に、絶縁膜4上にアルミニウムから成る配線5を形成する（ステップS 1 6）。

次に、第2実施例の半導体装置の第2の製造方法について第10図を用いて説明する。

第10図は第2実施例の半導体装置の第2の製造方法を示すフローチャートである。

第10図に示すように、第2の製造方法では、まずシリコン基板1上にシリコン酸化膜2を形成し（ステップS 2 1）、シリコン酸化膜2上にポリシリコン3を形成し、リン等の不純物を注入して該ポリシリコン3を金属と同程度に低抵抗化させる（ステップS 2 2）。

次に、ポリシリコン3を周知のフォトリソグラフィ技術を用いてパターニングし、凹凸状に形成する（ステップS 2 3）。続いて、気相成長炉中でシラン（S i H₄）を導入しつつポリシリコン3上にシリコンを部分的に成長させて凸部を形成する（ステップS 2 4）。

次に、ポリシリコン3上にS r T i O₃膜から成る絶縁膜4を形成し（ステップS 2 5）、最後に、絶縁膜4上にアルミニウムから成る配線5を形成する（ステップS 2 6）。

なお、上記ポリシリコン3、絶縁膜4、及び配線5によって構成される線路素子のデカップリング最低周波数を10GHz（波長 $\lambda = 30\text{mm}$ ）とすると、線路長は $\lambda / 4 / \sqrt{\epsilon}$ 以上であり、第1実施例の線路素子の長さは、絶縁膜4に比誘電率が約24のL a A l O₃を用いているため1.5mm以上となる。また、第2実施例の線路素子の長さは、絶縁膜4に比誘電率が約16のS r T i O₃を用いているため1.88mm以上となる。

（第3実施例）

第11図は本発明の半導体装置の第3実施例の構成を示す、ポリシリコン及び絶縁膜の斜視図であり、第12図は本発明の半導体装置の第3実施例の構成を示す、配線の斜視図である。また、第13図は第11図に示した半導体装置のX-X'線断面図

であり、第14図は第11図に示した半導体装置のY-Y'線断面図である。なお、第11図～第14図は、線路素子を構成する各構成要素のうち、シリコン基板1及びシリコン酸化膜2をそれぞれ省略した図である。

第11図～第14図に示すように、第3実施例の線路素子は、ポリシリコン3、絶縁膜4及び配線5を信号伝送方向と直交する方向(X-X')に凹凸状に形成し、かつ信号伝送方向(Y-Y')にも凹凸状に形成することで、線路のレイアウト面積を増大させることなく配線幅及び配線長を増大させ、単位長あたりのキャパシタンスを増大させて線路素子のデカップリング有効周波数の範囲を広げた構成である。

次に、第3実施例の半導体装置の製造方法について第15図を用いて説明する。

第15図は第3実施例の半導体装置の製造方法を示すフローチャートである。

第15図に示すように、第3実施例では、まずシリコン基板1上にシリコン酸化膜2を形成し(ステップS31)、シリコン酸化膜2上にポリシリコン3を形成し、リン等の不純物を注入して該ポリシリコン3を金属と同程度に低抵抗化させる(ステップS32)。

次に、ポリシリコン3を周知のフォトリソグラフィ技術を用いてパターニングし、信号伝送方向及び信号伝送方向と直交する方向、それぞれに対して凹凸状になるように形成する(ステップS33)。

次に、ポリシリコン3上に LaAlO_3 膜から成る絶縁膜4を10Å程度の厚さで形成し(ステップS34)、最後に、絶縁膜4上にアルミニウムから成る配線5を形成する(ステップS35)。このとき、絶縁膜4及び配線5の形状も、ポリシリコン3と同様に信号伝送方向及び信号伝送方向と直交する方向に対して、それぞれ凹凸状になる。

本実施例では、線路のレイアウト面積を増大させずに配線幅及び配線長を第1実施例及び第2実施例の10倍程度に増大させることができるため、デカップリング性能が有効な最低周波数を第1実施例及び第2実施例の1/10の1GHzに設定しても、線路素子の線路長は1.5mm程度で済む。

(第4実施例)

第16図～第19図は本発明の半導体装置の第4実施例の構成を示す図である。

第16図は本発明の半導体装置の第4実施例の構成を示す、ポリシリコン及び絶縁

膜の斜視図であり、第17図は本発明の半導体装置の第4実施例の構成を示す、配線の斜視図である。また、第18図は第16図に示した半導体装置のX-X'線断面図であり、第19図は第16図に示した半導体装置のY-Y'線断面図である。なお、第16図～第19図は、線路素子を構成する各構成要素のうち、シリコン基板1及びシリコン酸化膜2をそれぞれ省略した図である。

第16図～第19図に示すように、第4実施例の線路素子は、ポリシリコン3、絶縁膜4及び配線5を信号伝送方向と直交する方向(X-X')に凹凸状に形成し、かつその側面を複数の山型を有する形状に加工した構成である。これにより、第3実施例と同様に線路のレイアウト面積を増大させることなく配線幅を増大させ、単位長さあたりのキャパシタンスを増大させて線路素子のデカップリング有効周波数の範囲を広げた構成である。

次に、第4実施例の半導体装置の製造方法について第20図を用いて説明する。

第20図は第4実施例の半導体装置の製造方法を示すフローチャートである。

第20図に示すように、第4実施例では、まずシリコン基板1上にシリコン酸化膜2を形成し(ステップS41)、シリコン酸化膜2上にポリシリコン3を形成し、リン等の不純物を注入して該ポリシリコン3を金属と同程度に低抵抗化させる(ステップS42)。

次に、ポリシリコン3を周知のフォトリソグラフィ技術を用いてパターニングし、信号伝送方向と直交する方向に凹凸状になり、かつその表面に複数の山型を有する形状に形成する(ステップS43)。

次に、ポリシリコン3上に LaAlO_3 膜から成る絶縁膜4を厚さ10Å程度で形成し(ステップS44)、最後に絶縁膜4上にアルミニウムから成る配線5を形成する(ステップS45)。このとき、絶縁膜4及び配線5の形状も、ポリシリコン3と同様に信号伝送方向と直交する方向に凹凸状になり、かつその側面に複数の山型を有する形状になる。

本実施例においても、線路のレイアウト面積を増大させずに配線幅を第1実施例及び第2実施例の10倍程度に増大させることができるため、デカップリング性能が有効な最低周波数を第1実施例及び第2実施例の1/10の1GHzに設定しても、線路素子の線路長は1.5mm程度で済む。

なお、上記第1実施例～第4実施例で示した線路素子は、信号の伝送方向が90度異なる方向（すなわち、紙面に対して水平方向、あるいはX-X'方向）になるように構成しても、線路のレイアウト面積を増大させることなく配線幅または配線長を増大させることができるため、上記と同様の効果を得ることができる。

また、より低い周波数に対するデカップリング性能を得るために線路素子を長くした結果、線路素子が半導体チップに搭載できない場合は、上記第1～第4実施例で示した線路素子をプリント基板やパッケージのリードに実装することも可能である。但し、線路素子は、スイッチング素子の近くに配置した方がそのデカップリング性能の低下が少なくて済む。

したがって、線路素子は、デカップリング性能が要求される周波数の広帯域化、及び半導体装置の高密度化を実現するために、そのサイズに応じて、半導体装置のチップ上やリード、あるいはプリント基板等の複数個所に実装することが望ましい。

（第5実施例）

第5実施例の半導体装置は、上記第1実施例～第4実施例で例示した線路素子が半導体装置のリードに実装される構成である。

まず、半導体装置のパッケージの一般的な構成について説明する。

第21図は半導体装置のパッケージの一構成例を示す平面図である。

第21図に示すように、半導体装置は、回路が形成された半導体チップ32がダイパット部31上にマウント剤によって固定された構成である。半導体チップ32の表面には不図示の内部パットが形成され、該内部パットとダイパット部31の周辺に配設された複数のリード33とがそれぞれボンディングワイヤを用いて接続されている。ダイパット部31、半導体チップ32、ボンディングワイヤ及びリード33の一部は、それぞれ樹脂モールド層34によって封止される。

本実施例では、第21図に示す複数のリード33のうち、電源配線用のリード（以下、電源リードと称する）33-1に上記第1実施例～第4実施例に記載した線路素子を実装する。

第22図は本発明の半導体装置の第5実施例の構成を示す要部拡大図である。

第22図は、半導体装置の電源リード7及びその他のリード8をそれぞれ拡大して示した図であり、線路素子6が電源リード7に実装された様子を示している。

線路素子6は、第1実施例～第4実施例で示したポリシリコン3、絶縁膜（例えば LaAlO_3 ）4及び配線5を有する構成である。

第23図は第22図に示した半導体装置のY-Y'線断面図である。

第23図に示すように、本実施例の半導体装置は、例えば半導体装置のパッケージに固定された金属製のグラウンド（接地電位）面10上に線路素子6が形成され、該線路素子6を挟むようにエポキシ樹脂層9がグラウンド面10上に形成された構成である。エポキシ樹脂層9上には電源リード7がそれぞれ形成され、線路素子6とエポキシ樹脂層9上の電源リード7の端部とがそれぞれ端部線路6a、6bによって接続されている。本実施例の線路素子6はエポキシ樹脂層9よりも薄く形成する。これにより線路素子6の絶縁膜4が薄くなるため、線路素子6のキャパシタンスを大きくすることができる。なお、第23図はリード8を省略した様子を示している。

次に、第5実施例の半導体装置の製造方法について説明する。

第24図は第5実施例の半導体装置の製造方法を示すフローチャートである。

第24図に示すように、第5実施例では、まず金属製のグラウンド面10上に、厚さ1mm程度、比誘電率4のエポキシ樹脂層9を形成する（ステップS51）。

次に、エポキシ樹脂層9上に幅1mm、長さ20mm程度（上層部のみの長さ）の金属製のリード8（不図示）及び電源リード7をそれぞれ形成する（ステップS52）。

続いて、エポキシ樹脂層9で挟まれる部位に、エポキシ樹脂層9よりも薄い線路素子6を上記第1実施例～第4実施例で示した方法にしたがって形成する（ステップS53）。線路素子6の端部はエポキシ樹脂層9上に形成された電源リード7とはんだ付け等によって接続される。なお、線路素子6のポリシリコン（接地電位配線：不図示）はグラウンド面10と接続されている。

このような構成において、例えば、線路素子6のデカップリング最低周波数を1GHzに設定すると、線路素子6を第1実施例のように形成した場合、その長さは約15mmとなり、第3実施例のように形成した場合、その長さは約1.5mmとなる。また、デカップリング最低周波数を100MHzに設定すると、線路素子6を第1実施例のように形成した場合、その長さは約150mmとなり、第3実施例のように形成した場合、その長さは約15mmとなる。

半導体装置の電源リード7の長さを20mmとし、該リード上に実装可能な線路素

子6の長さを15mmと仮定すると、第1実施例に示した線路素子6ではおよそ1GHz以上でデカップリング効果が期待でき、第3実施例に示した線路素子6ではおよそ100MHz以上でデカップリング効果が期待できる。

なお、上記説明ではグランド面10が半導体装置のパッケージに固定されることを前提としているが、パッケージにグランド面を有しない場合は、線路素子のポリシリコンをプリント基板上の接地電位配線と接続してもよい。

(第6実施例)

第6実施例の半導体装置は、上記第1実施例～第4実施例で例示した線路素子が半導体装置のリードに実装された構成である。

第25図は本発明の半導体装置の第6実施例の構成を示す要部拡大図である。

第25図は、半導体装置の電源リード7及びその他のリード8をそれぞれ拡大して示した図であり、線路素子6が電源リード7に実装された様子を示している。

第26図は第25図に示した半導体装置のY-Y'線断面図である。

第26図に示すように、本実施例の半導体装置は、例えば半導体装置のパッケージに固定されたセラミック基板（絶縁基板）12上に金属製のグランド（接地電位）面10が形成され、該グランド面10上に高誘電率絶縁膜13を介して配線14を形成することで線路素子41が形成された構成である。

線路素子41上にはセラミック層（絶縁層）11が形成され、該セラミック層11に設けられた開口を通して該セラミック層11上に形成された電源リード7と線路素子41とが接続される。

具体的には、金属製のグランド面10上に厚さ1mm程度、比誘電率8のアルミナから成るセラミック層11が形成され、該セラミック層11上に幅1mm、長さ20mm程度の金属製のリード8（不図示）及び2本の電源リード7がそれぞれ形成される。

第1実施例～第4実施例では線路素子の幅を50μmとしていたが、本実施例では線路素子の幅を電源リード7の幅に合わせて約1mmとする。高誘電率絶縁膜13は、例えば比誘電率2.4のLaAlO₃膜を用いて約10Åの厚さで形成する。

なお、本実施例では線路素子41を凹凸状に形成していないが、第1実施例や第2実施例に比べて線路幅が約20倍になっているため、第5図に示した一般的な配線に

対して単位長あたりのキャパシタンスが約6万倍となり、設定した基準を十分にクリアしている。

本実施例では、例えば、線路素子のデカップリング最低周波数を1GHzに設定すると、線路素子の長さは15mm以上となる。線路素子41の配線14はその両端がそれぞれ電源リード7に接続され、線路素子41の接地電位配線はグラウンド面10が共用される。

次に、第6実施例の半導体装置の製造方法について説明する。

第27図は第6実施例の半導体装置の製造方法を示すフローチャートである。

第27図に示すように、第6実施例では、まずアルミナ等のセラミック基板12上に金属層から成るグラウンド面10を形成し(ステップS61)、該グラウンド面10上に LaAlO_3 膜から成る絶縁膜13を10Å程度の厚さで形成する(ステップS62)。

次に、絶縁膜13上にタングステン等から成る幅1mm程度の配線14を形成する(ステップS63)。これをセラミックAと称する。

次に、セラミックAとは別体で、開口(スルーホール)が形成されたセラミック層11を用意し、該セラミック層11の上部、開口内壁、及び開口下部を接続するタングステン等から成る幅1mm程度の電源リード7を形成する(ステップS64)。これをセラミックBと称する。

最後に、上記セラミックAとセラミックBとを貼りあわせ、焼結させて一体とする(ステップS65)。このとき、セラミック層11に設けた開口下部の電源リード7と絶縁膜13上に形成された配線14の両端部とをそれぞれ接続する。

なお、上記第1実施例～第6実施例では、線路素子の設計基準として特性インピーダンス Z_c を 0.3Ω 以下に設定しているが、実際の線路素子の特性インピーダンス Z_c は、要求されるデカップリング性能、半導体装置のリードやプリント基板の構造及び材料によって変化するため、それらの条件に応じて最適な値に設定すればよい。

また、上記第1実施例～第6実施例で例示している線路素子の絶縁膜の誘電率、絶縁膜厚、線路幅、線路長、凹凸の密度、凹凸のアスペクト比、凹凸の形状等も、設計基準に応じて適宜変更すればよい。

また、上記第1実施例～第6実施例では、シリコンプロセスを想定して線路素子の製造方法を記載しているが、他のガリウム砒素等の製造プロセスにも適用できる。

また、線路素子の絶縁膜には、比誘電率がシリコン酸化膜と同じ約4のエポキシ樹脂、比誘電率が約8の SiO_2 、窒化シリコン、 TaO_2 、 TiO_2 、 Al_2O_3 、 MgO 、比誘電率が約16の SrTiO_3 、 ZrO_2 、比誘電率が約24の LaAlO_3 、比誘電率が約300のBST (titanium oxide barium strontium)、比誘電率が約1000のPZT (lead zirconate titanate) 等を用いてもよい。

請求の範囲

1. 接地電位となる接地配線と電源電流が流れる電源配線とが絶縁膜を間に挟んで形成された複数の線路と、

前記線路間に流れる前記電源電流を中継する、前記線路の特性インピーダンスに比べて十分に小さい特性インピーダンスを備えた、前記接地配線と前記電源配線とが絶縁膜を間に挟んで形成された線路素子と、
を有する半導体装置。

2. 前記線路素子は、

その特性インピーダンスが前記線路の特性インピーダンスに比べて十分に小さくなるように、キャパシタンスが大きい請求項 1 記載の半導体装置。

3. 前記線路素子は、

デカップリング対象の周波数範囲における最も低い周波数に対応する波長の $1/4$ よりも長い線路長である請求項 1 記載の半導体装置。

4. 前記線路素子の絶縁膜は、

該線路素子に入射される電磁波が熱消費される大きさの誘電損失を備えた請求項 1 記載の半導体装置。

5. 前記線路素子は、

前記接地配線と前記電源配線との距離が一定に保たれつつ凹凸状に形成された請求項 1 記載の半導体装置。

6. 前記線路素子は、

前記接地配線、前記絶縁膜及び前記電源配線に凹部または凸部の少なくともいずれか一方を有する請求項 5 記載の半導体装置。

7. 前記線路素子は、

前記信号伝送方向と直交する方向に前記凹凸状に形成された請求項 5 記載の半導体装置。

8. 前記線路素子は、

前記信号伝送方向に前記凹凸状に形成された請求項 5 記載の半導体装置。

9. 前記線路素子は、

信号伝送方向及び前記信号伝送方向と直交する方向それぞれに前記凹凸状に形成された請求項 5 記載の半導体装置。

10. 前記線路素子は、

前記凹凸状に形成された前記接地配線、前記絶縁膜及び前記電源配線の表面が、さらに複数の山型を有する形状に形成された請求項 5 記載の半導体装置。

11. 前記線路素子が、半導体チップ上に形成された請求項 1 記載の半導体装置。

12. 前記線路素子が、前記電源電流を供給するための電源リードに実装された請求項 1 記載の半導体装置。

13. 前記線路素子が、前記電源リードに実装される前記線路よりも薄く形成された請求項 12 記載の半導体装置。

14. 請求項 11 または 12 記載の半導体装置と、

前記線路素子及び前記半導体装置が搭載されたプリント基板と、
を有する半導体回路。

15. 前記線路素子は、

前記電源配線に印加される直流電源電圧の変動が 5 % 以下となる特性インピーダンスを備えた請求項 14 記載の半導体回路。

16. 前記半導体装置の半導体チップ上に実装された線路素子は、前記半導体チップ上で発生する高周波信号のうち、最も高い周波数でキャパシタンス特性を備え、

前記半導体装置の電源リードに実装される線路素子は、前記半導体チップ上に実装される線路素子よりも低い周波数領域でキャパシタンス特性を備え、

前記プリント基板上に実装される線路素子は、前記半導体装置の電源リードに実装される線路素子よりも低い周波数領域でキャパシタンス特性を備える請求項 14 記載の半導体回路。

17. 接地電位となる接地配線と電源電流が流れる電源配線とが絶縁膜を間に挟んで形成された複数の線路を備えた半導体装置の製造方法であって、

前記線路間に流れる前記電源電流を中継する、前記線路の特性インピーダンスに比べて十分に小さい特性インピーダンスを備えた、前記接地配線と前記電源配線とが絶縁膜を間に挟んで配置される線路素子を形成するための素子形成ステップを有する半導体装置の製造方法。

18. 前記素子形成ステップは、
前記接地配線を形成し、
前記接地配線をパターニングして凹凸状に形成し、
前記接地配線上に前記絶縁膜を形成し、
前記絶縁膜上に前記電源配線を形成する請求項17記載の半導体装置の製造方法。
19. 前記素子形成ステップは、
前記接地配線を形成し、
前記接地配線をパターニングして、信号伝送方向及び前記信号伝送方向と直交する方向それぞれを凹凸状に形成し、
前記接地配線上に前記絶縁膜を形成し、
前記絶縁膜上に前記電源配線を形成する請求項17記載の半導体装置の製造方法。
20. 前記素子形成ステップは、
前記接地配線を形成し、
前記接地配線をパターニングして凹凸状に形成し、
前記凹凸状の表面に、さらに凹部を形成し、
前記接地配線上に前記絶縁膜を形成し、
前記絶縁膜上に前記電源配線を形成する請求項17記載の半導体装置の製造方法。
21. 前記素子形成ステップは、
前記接地配線を形成し、
前記接地配線をパターニングして凹凸状に形成し、
前記凹凸状の表面に、さらに凸部を形成し、
前記接地配線上に前記絶縁膜を形成し、
前記絶縁膜上に前記電源配線を形成する請求項17記載の半導体装置の製造方法。
22. 前記素子形成ステップは、
前記接地配線を形成し、
前記接地配線をパターニングして凹凸状に形成し、さらにその表面に複数の山型を有する形状で形成し、
前記接地配線上に前記絶縁膜を形成し、
前記絶縁膜上に前記電源配線を形成する請求項17記載の半導体装置の製造方法。

23. 前記素子形成ステップは、

前記接地配線を、前記電源電流を供給するための電源リードどうしを中継する位置に形成する請求項17乃至22のいずれか1項記載の半導体装置の製造方法。

24. 前記素子形成ステップは、

前記電源電流を供給するための電源リード上に絶縁基板を形成し、

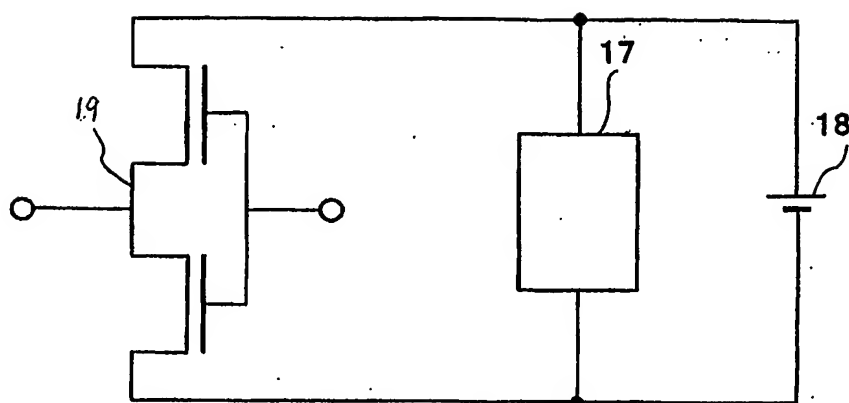
前記接地配線を、前記セラミック基板上に形成し、

前記絶縁基板とは別体に設けた絶縁層に開口を形成し、

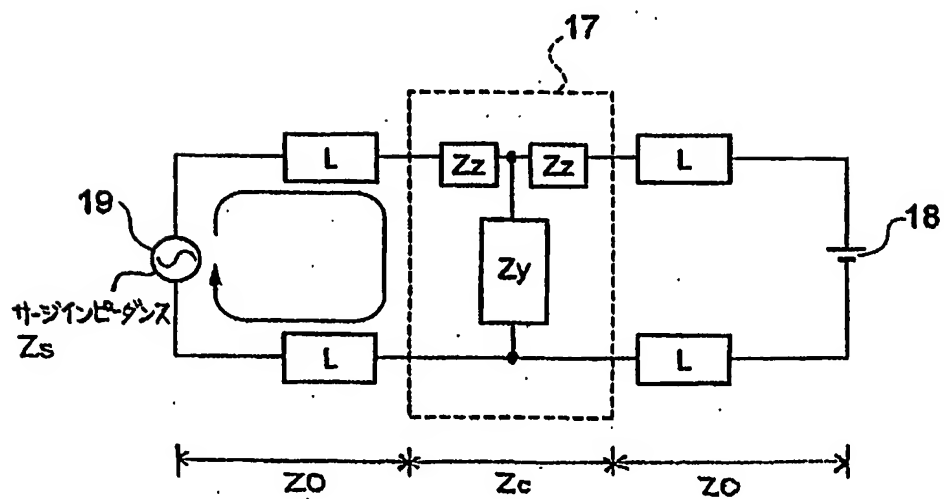
前記絶縁層の上部、及び該上部から前記開口内壁を介して前記開口下部に到る電源配線を形成し、

前記絶縁基板と前記絶縁層とを貼り合わせて、前記開口下部の電源配線と前記絶縁膜上に形成される電源配線とをそれぞれ接続する請求項17乃至22のいずれか1項記載の半導体装置の製造方法。

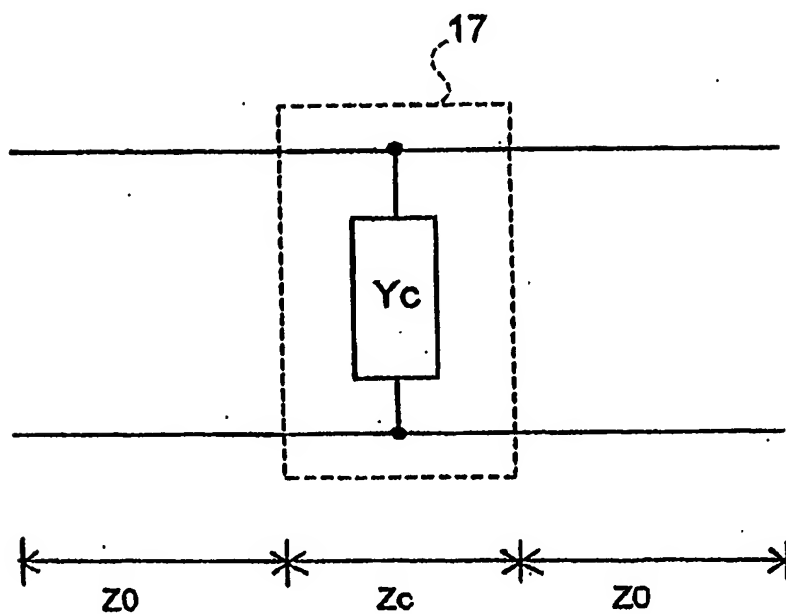
第1図



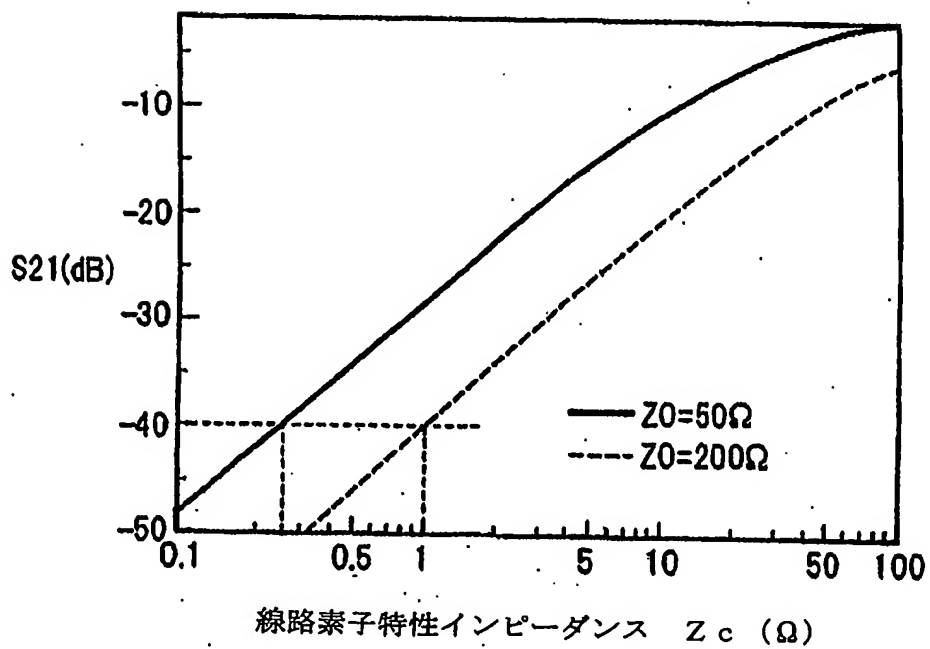
第2図



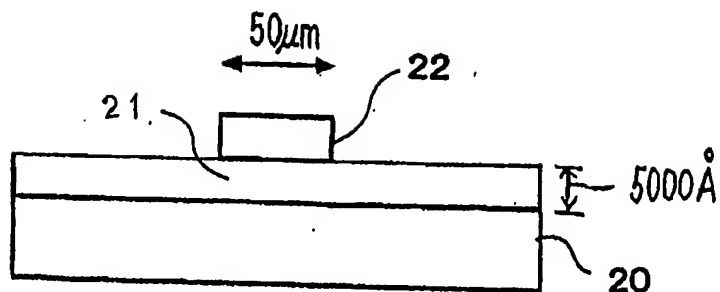
第3図



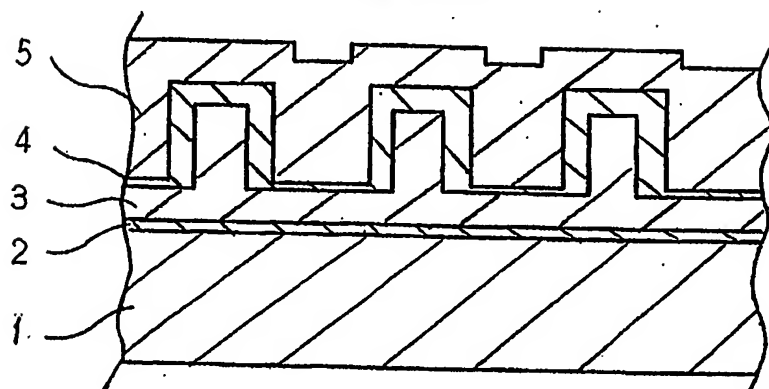
第4図



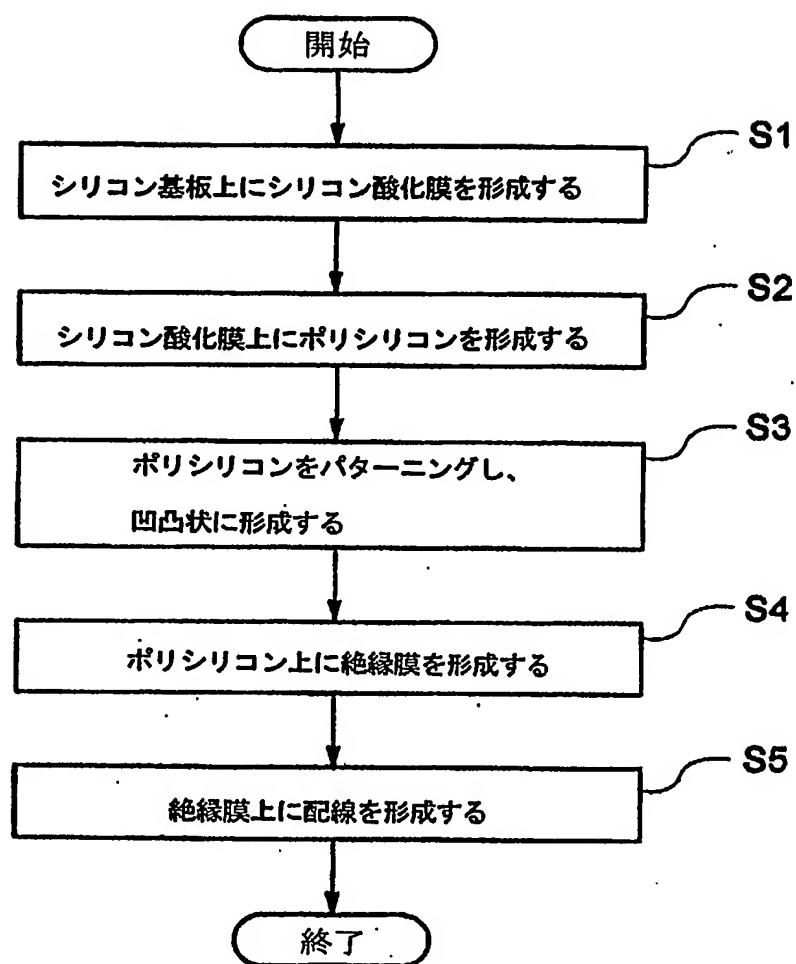
第5図



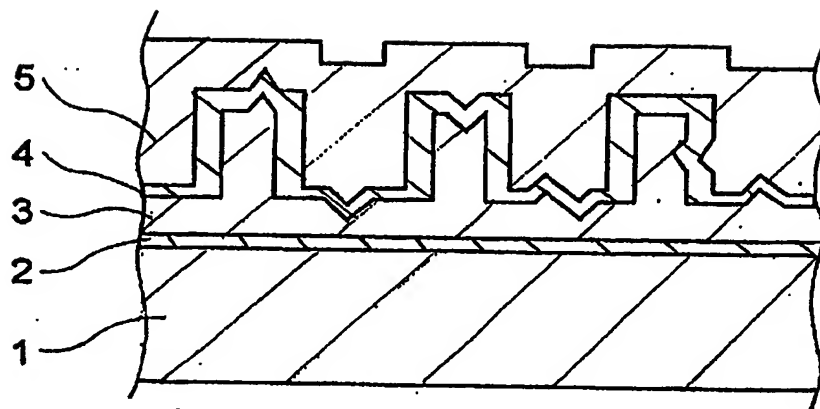
第6図



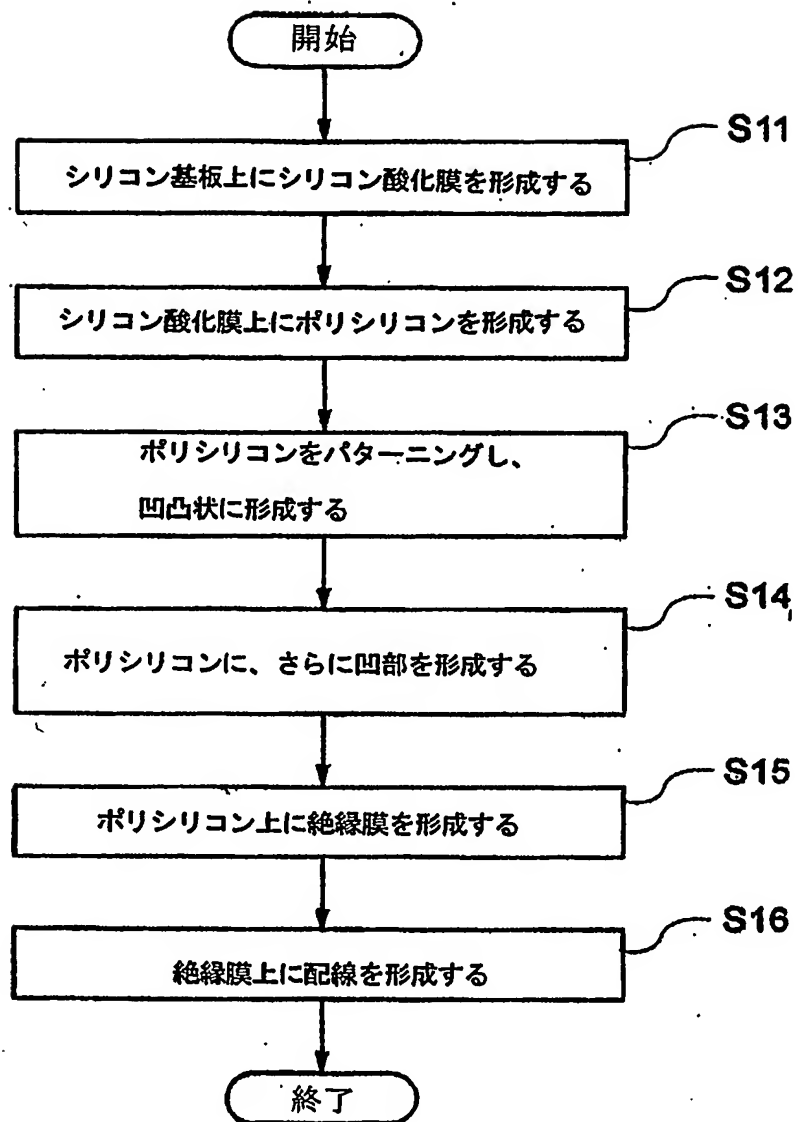
第7図



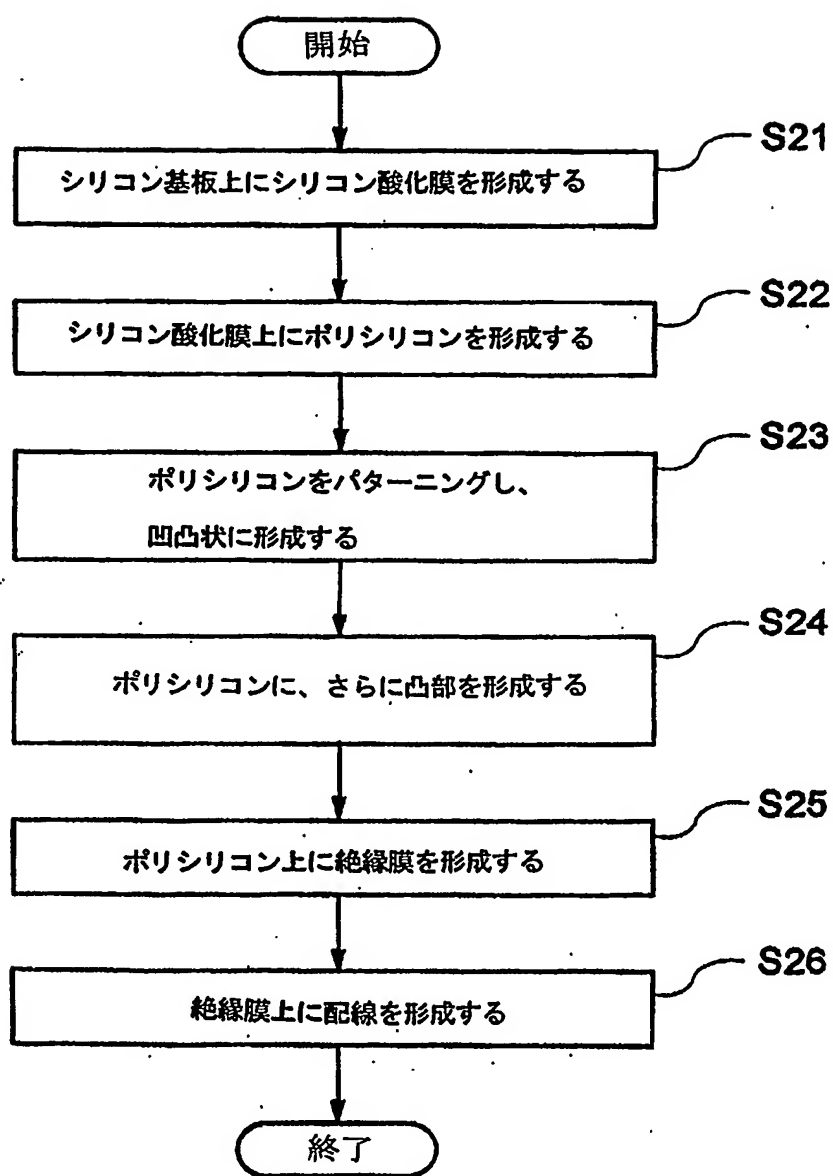
第 8 図



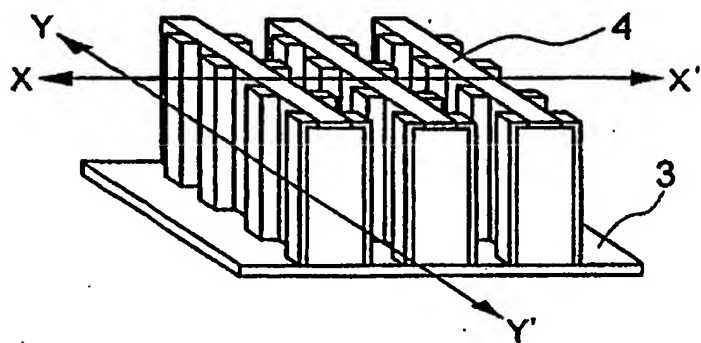
第 9 図



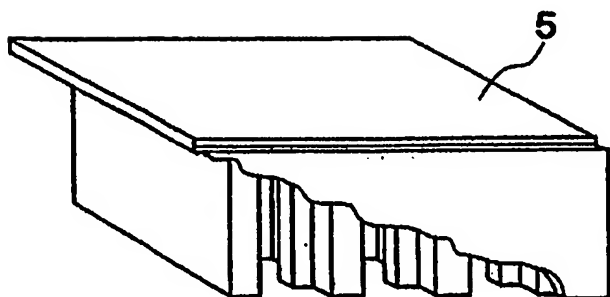
第10図



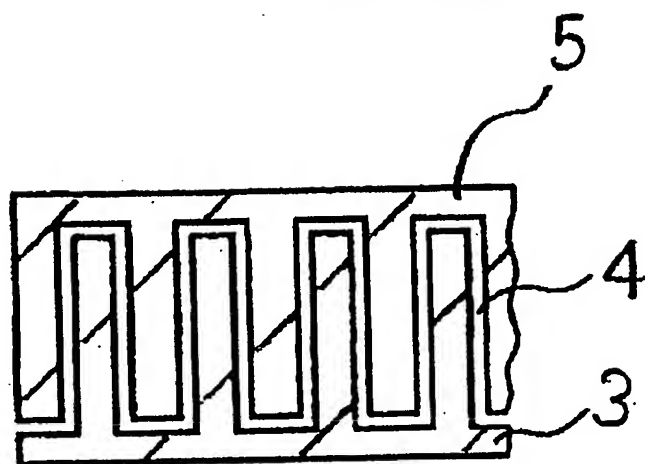
第 1 1 図



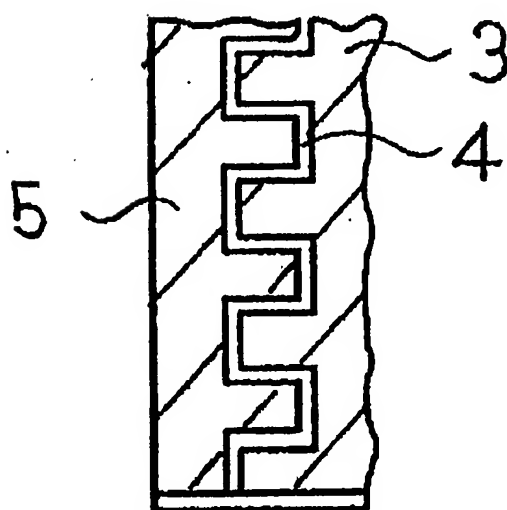
第 1 2 図



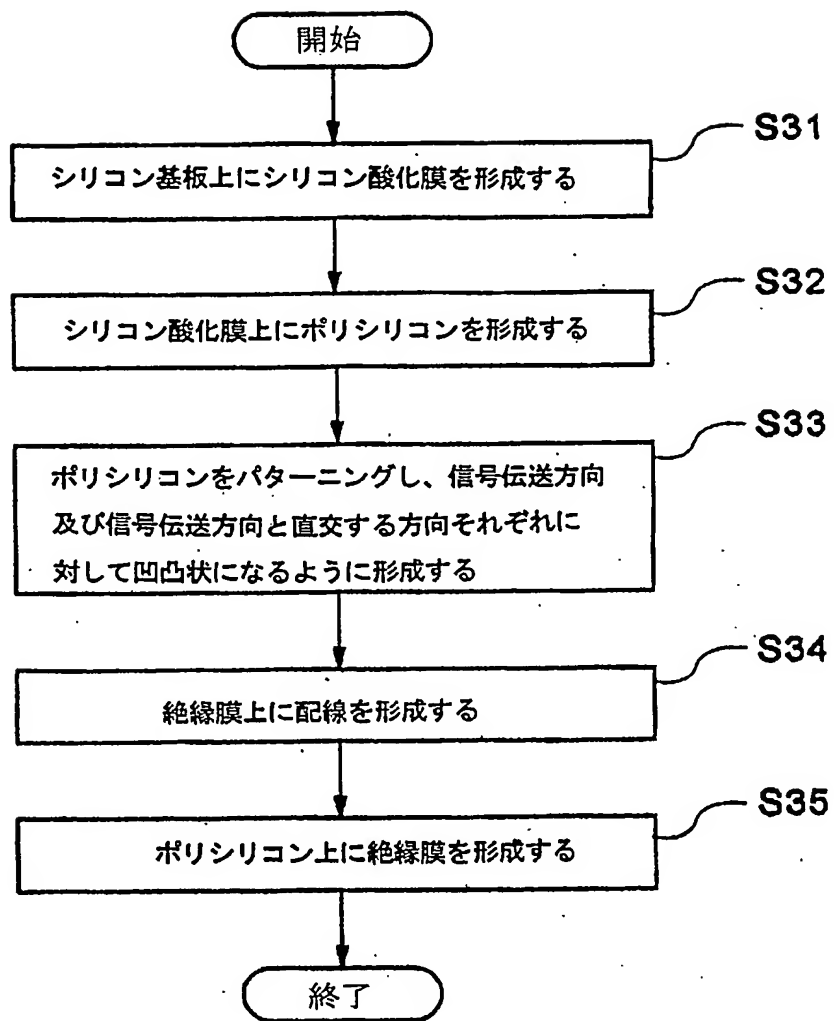
第 1 3 図



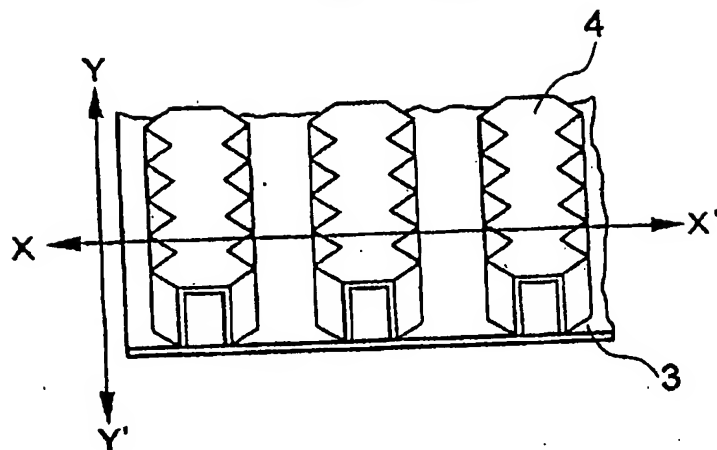
第 1 4 図



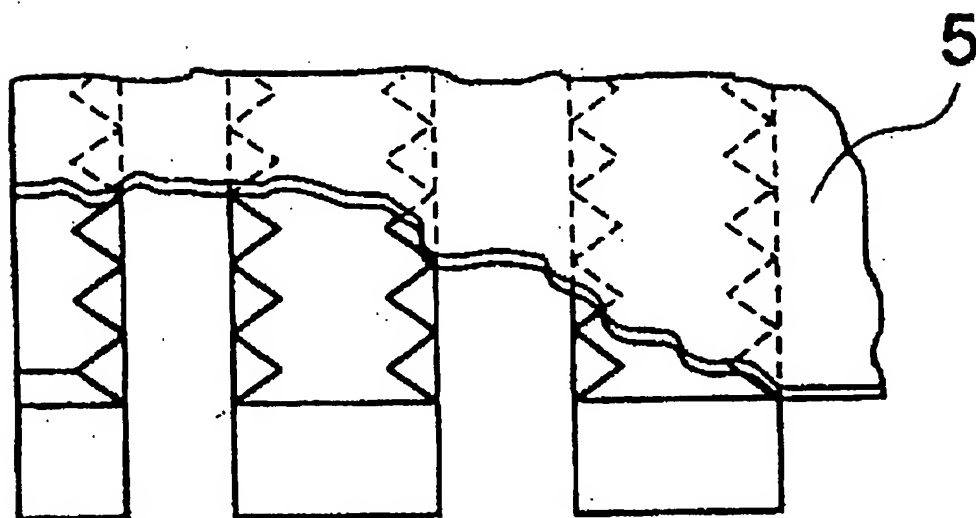
第 1 5 図



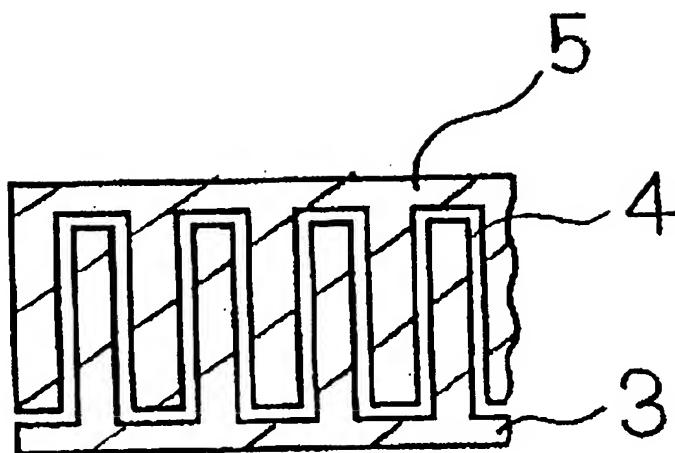
第 1 6 図



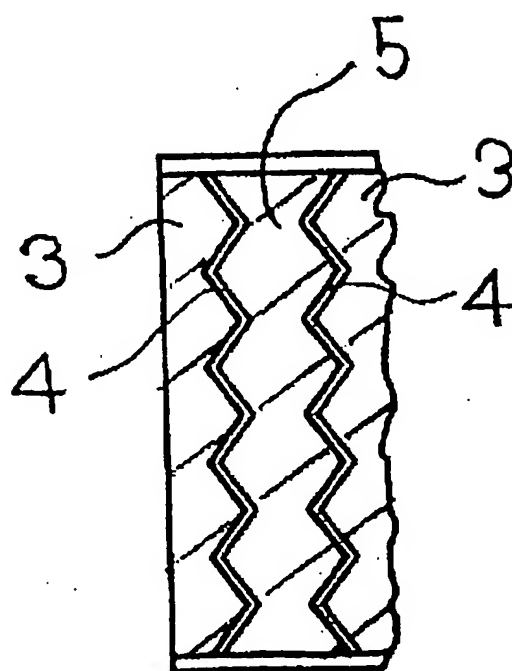
第 1 7 図



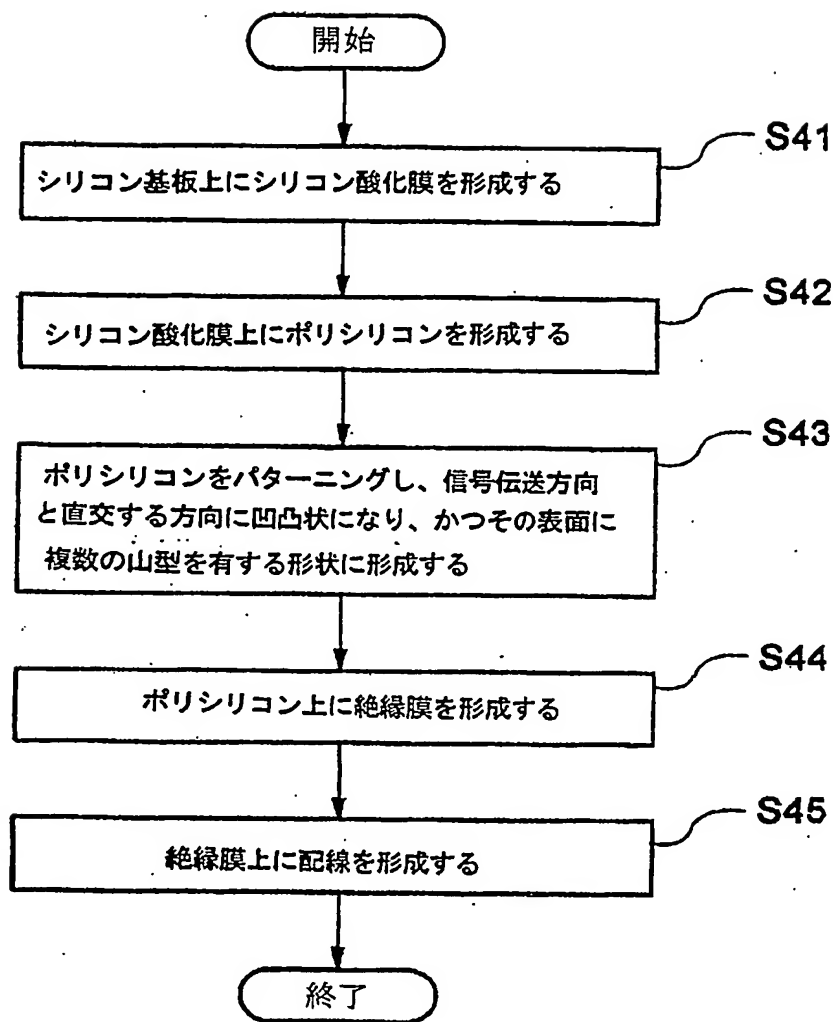
第18図



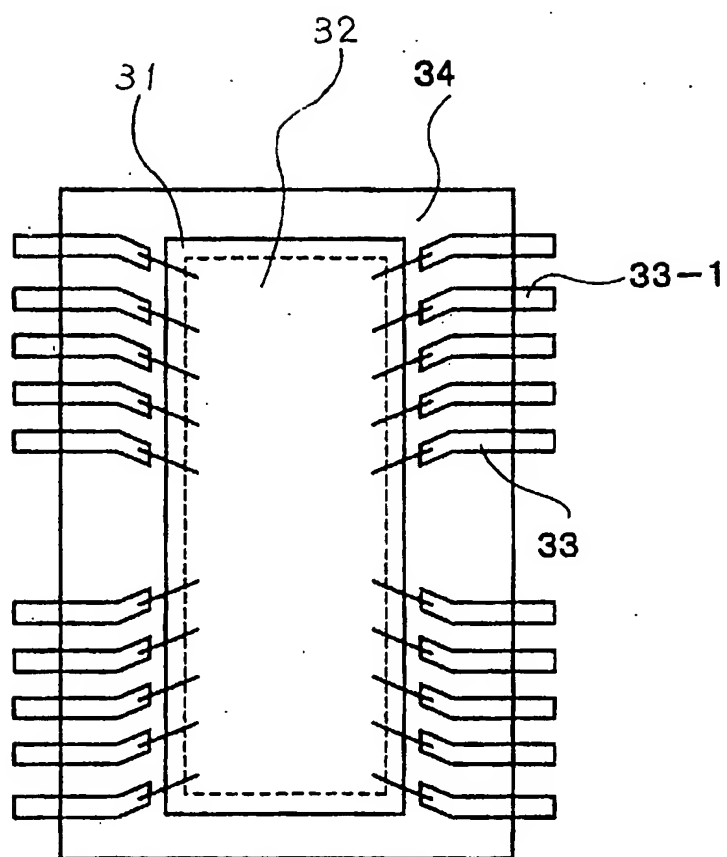
第19図



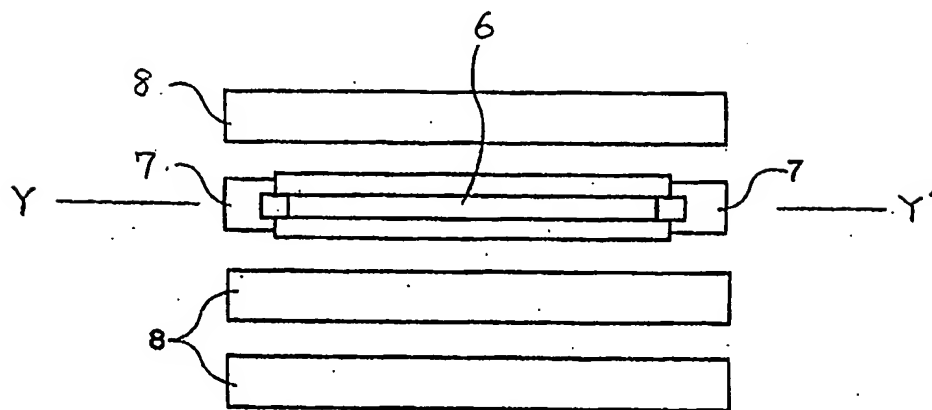
第20図



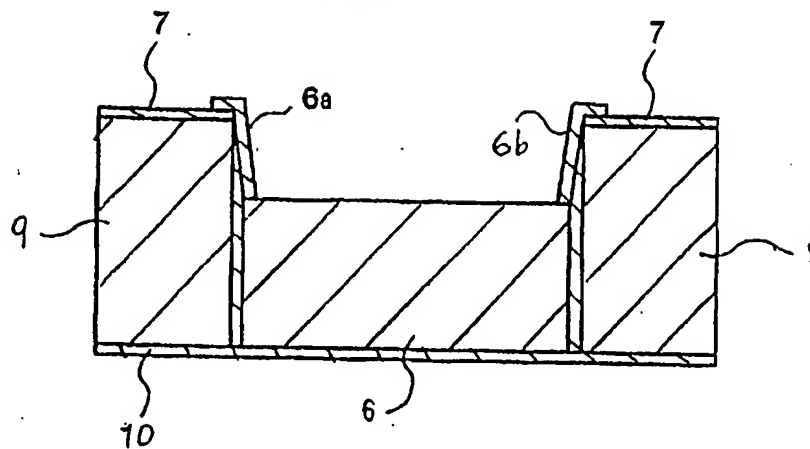
第 2 1 図



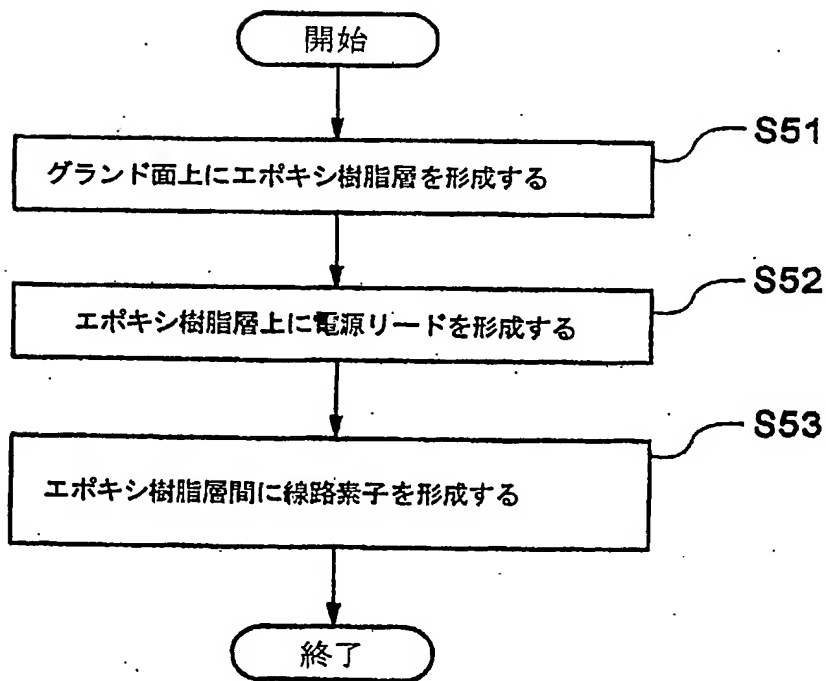
第 2 2 図



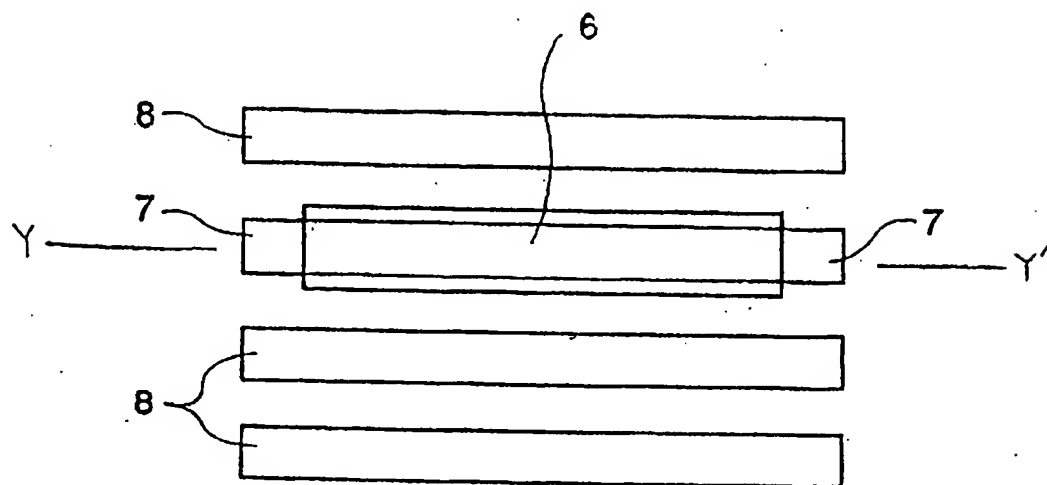
第 2 3 図



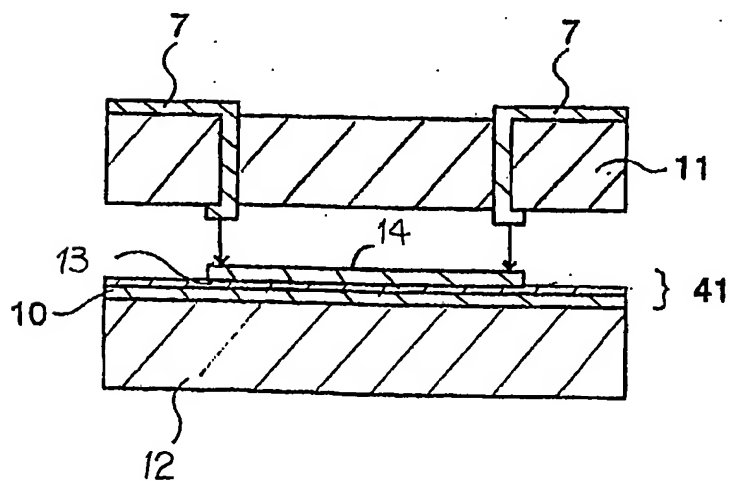
第 2 4 図



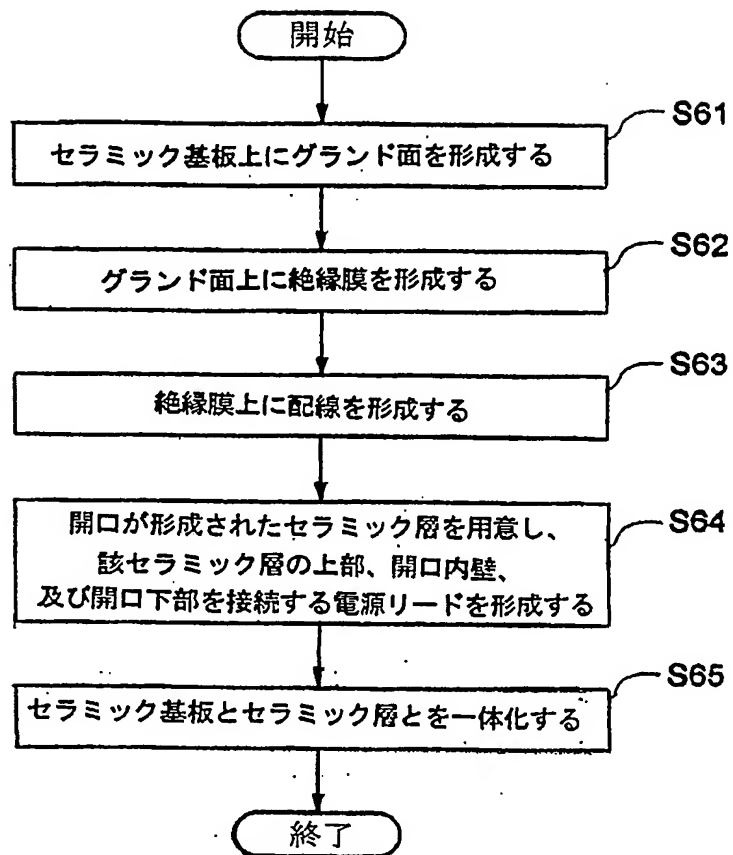
第 25 図



第 26 図



第 2 7 図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/07397

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L27/04, H01L21/822, H01L23/12, H01L23/50

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L27/04, H01L21/822, H01L23/12, H01L23/50,
H04G4/33-4/40

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Toroku Jitsuyo Shinan Koho	1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2002/0024407 A1 (NEC CORP.), 28 February, 2002 (28.02.02),	1-3, 5-9, 17-19
Y	Full text; Figs. 1A to 10B & JP 2002-164760 A Full text; Figs. 1 to 10	4, 10-16, 20-24
X	JP 2001-338836 A (Sumitomo Metal Industries, Ltd.),	1, 2, 5-9, 17-19
Y	07 December, 2001 (07.12.01), Full text; Figs. 1 to 13 (Family: none)	3, 4, 10-16, 20-24
X	JP 2001-267751 A (Matsushita Electric Industrial Co., Ltd.),	1, 2, 5-9, 17-19
Y	28 September, 2001 (28.09.01), Full text; Figs. 1 to 7 (Family: none)	3, 4, 10-16, 20-24

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
25 August, 2003 (25.08.03)Date of mailing of the international search report
09 September, 2003 (09.09.03)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/07397

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 11-177276 A (Sumitomo Bakelite Co., Ltd.), 02 July, 1999 (02.07.99), Par. Nos. [0002], [0029] (Family: none)	4
Y	EP 788118 A1 (TDK CORP.), 06 August, 1997 (06.08.97), Page 2, lines 24 to 26 & JP 9-208627 A Par. No. [0002] & KR 97063283 A & US 5914283 A	4
Y	US 2002/0011606 A1 (Shigenori OTAKE), 31 January, 2002 (31.01.02), Par. No. [0074]; Fig. 13 & JP 2002-9244 A Par. No. [0047]; Fig. 13 & KR 2000126 A	10,11,20-22
Y	JP 6-216309 A (Oki Electric Industry Co., Ltd.), 05 August, 1994 (05.08.94), Par. Nos. [0010] to [0012]; Fig. 1 (Family: none)	12,13,23
Y	JP 2001-274314 A (Kabushiki Kaisha Kankyo Denji Gijutsu Kenkyusho), 05 October, 2001 (05.10.01), Par. Nos. [0026] to [0033]; Fig. 4 (Family: none)	14-16
Y	JP 8-330738 A (Sumitomo Metal Industries, Ltd.), 13 December, 1996 (13.12.96), Full text; Figs. 1 to 5 (Family: none)	24

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L27/04, H01L21/822, H01L23/12, H01L23/50

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L27/04, H01L21/822, H01L23/12, H01L23/50,
H01G4/33-4/40

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2003年
日本国実用新案登録公報	1996-2003年
日本国登録実用新案公報	1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	US 2002/0024407 A1 (NEC CORPORATION)	1-3, 5-9, 17-19
Y	2002. 02. 28, 全文, 第1A-10B図 & JP 2002-164760 A, 全文, 第1-10図	4, 10-16, 20-24
X	JP 2001-338836 A (住友金属工業株式会社)	1, 2, 5-9, 17-19
Y	2001. 12. 07, 全文, 第1-13図 (ファミリーなし)	3, 4, 10-16, 20-24

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

25. 08. 03

国際調査報告の発送日

09.09.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

淵 真悟

4L

2933

電話番号 03-3581-1101 内線 3496

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2001-267751 A (松下電器産業株式会社) 2001. 09. 28, 全文, 第1-7図 (ファミリーなし)	1, 2, 5-9, 17-19
Y		3, 4, 10-16, 20-24
Y	JP 11-177276 A (住友ベークライト株式会社) 1999. 07. 02, 段落番号【0002】, 【0029】 (ファミリーなし)	4
Y	EP 788118 A1 (TDK CORPORATION) 1997. 08. 06, 第2頁第24-26行 & JP 9-208627 A, 段落番号【0002】 & KR 97063283 A & US 5914283 A	4
Y	US 2002/0011606 A1 (SHIGENORI O TAKE) 2002. 01. 31, 段落番号【0074】, 第13図 & JP 2002-9244 A, 段落番号【0047】, 第13図 & KR 2000126 A	10, 11, 20-22
Y	JP 6-216309 A (沖電気工業株式会社) 1994. 08. 05, 段落番号【0010】-【0012】, 第1図 (ファミリーなし)	12, 13, 23
Y	JP 2001-274314 A (株式会社環境電磁技術研究 所) 2001. 10. 05, 段落番号【0026】-【0033】, 第4図 (ファミリーなし)	14-16
Y	JP 8-330738 A (住友金属工業株式会社) 1996. 12. 13, 全文, 第1-5図 (ファミリーなし)	24